

Общая информация

Делитель частоты 15 разрядный питается от источника с напряжением 1.8 В. Максимальная частота работы в худшем случае 700 МГц. Коэффициент деления от 2 до 32769 с шагом 1.

Функциональные особенности

- Источник питания 1.6-2.0 В
- Технология HCMOS8D_6M_3.3V (6 слоев металлизации, питания 1.8 В и 3.3 В)
- Частота работы < 700 МГц
 Возможно повышение частоты до 900 МГц за счет замены всех транзисторов LL на HS
- Коэффициент деления $2 \div 32769$
- Шаг коэффициента деления 1
- Скважность выходного сигнала 0.45-0.55
- Ток потребления (LL)
 - режим ожидания < 2 мкА
 - режим работы < 4 мкА/МГц
- Температурный диапазон -60°C - 125°C
- Размеры 0.15 мм x 0.43 мм

Информация о СФ-блоке	
Тип СФ-блока	Hard IP
Статус	Проверен в кремнии
Поддерживаемые техпроцессы	HCMOS8D_6M_3.3V* *возможно использование для специальных применений
Поддерживаемые интерфейсы	Параллельный
Размеры	
X;Y	0.15 мм; 0.43 мм
Файлы, сопровождающие СФ-блок	
Документация	Спецификация
Файлы проекта	gds, lef, cdl, drc.summary, lvs.report
Пример проекта	Нет
Тестовый модуль	Нет
Файл ограничений	Нет
Модель	lib, поведенческое описание Verilog
Стоимость СФ-блока и технической поддержки	
По запросу	