

Спецификация

на СФ-блок системных устройств

WDT, Timer, Counter, с функцией формирования PWM

СОДЕРЖАНИЕ:

1. Основные характеристики
2. Блок-диаграмма
3. Условное графическое обозначение
4. Описание входов/выходов
5. Карта регистров
6. Описание функционирования
7. Система тактирования
8. Верификация

ПРИЛОЖЕНИЯ:

1. Пример синтеза
2. Рекомендации по применению

1. Основные характеристики

- 32-р Timer, Counter, WDT. Количество блоков Timer и Counter может быть задано на этапе синтеза и меняется в пределах от 1 до 16 независимо для каждого;
- формирование прерываний по событиям Timer, Counter и WDT; отдельно настраиваемое прерывание WDT перед автоматическим формированием аппаратного сброса. Количество выходов линий запросов прерываний определяется количеством блоков Timer и Counter;
- системный интерфейс AXI4-lite, 32р;
- Timer с функцией формирования сигнала PWM (ШИМ — широтно-импульсная модуляция), один канал на каждый блок Timer;
- работа Counter на системной частоте, с разрешением периода частоты системного интерфейса;
- работа Timer с использованием предварительного делителя частоты, коэффициент от 1 до 65536;
- одинарный и циклический режим работы.

2. Блок-диаграмма

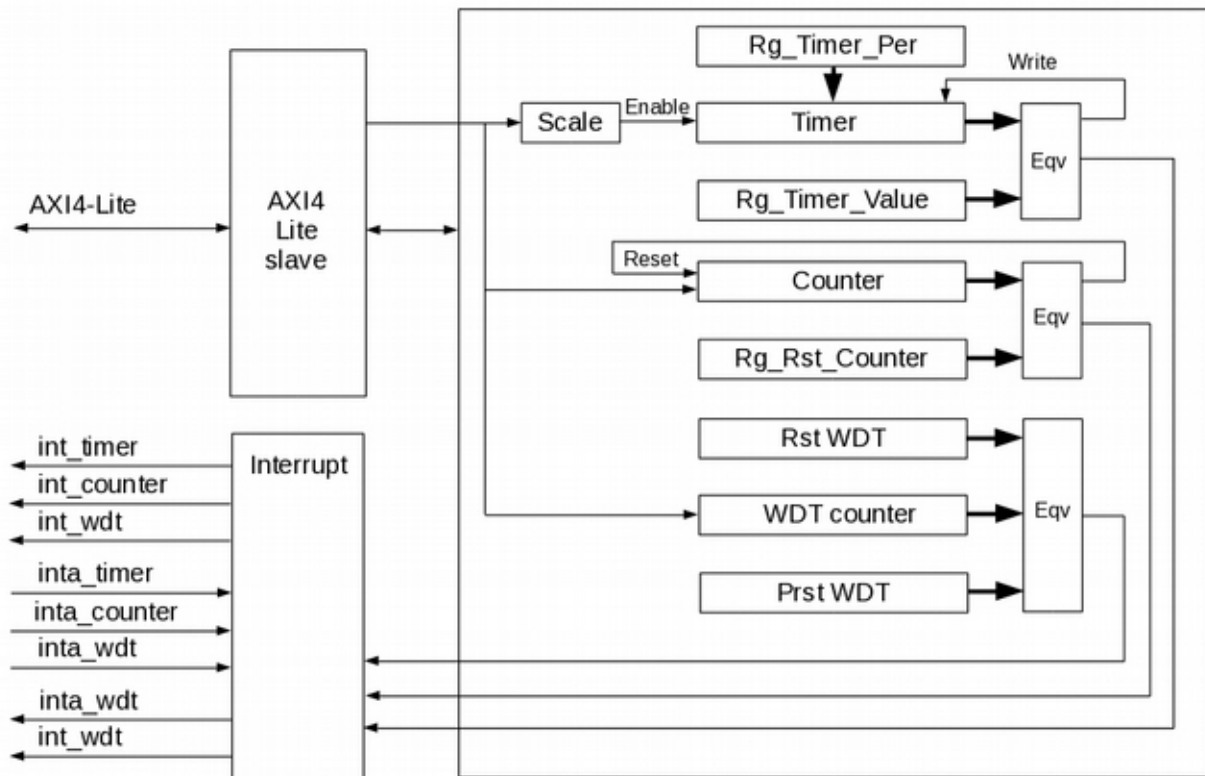


Рисунок 1 — Блок-диаграмма СФ-блока

AXI4-Lite slave — ведомый контроллер системного интерфейса AXI4-Lite;

SFR — (Special Function Registers) регистры специального назначения;

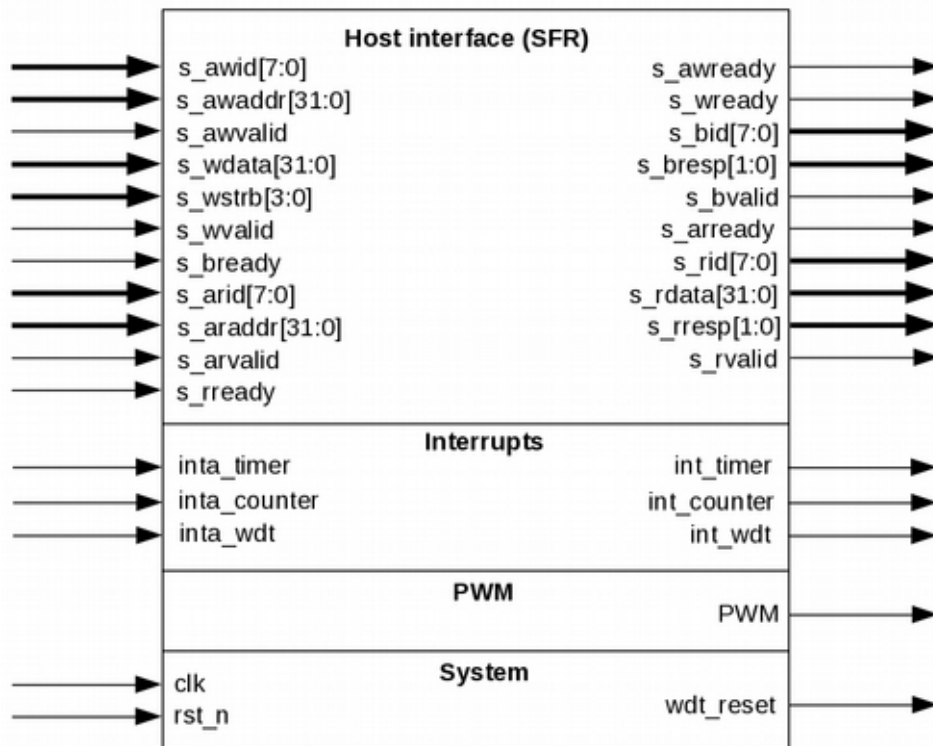
Interrupts — блок формирования сигналов системных прерываний;

Master — блок формирования сигналов ведущего SPI интерфейса;

Slave — блок формирования сигналов ведомого SPI интерфейса.

Описание всех входных и выходных сигналов приведено в п.4 - «Описание входов/выходов»

3. Условное графическое обозначение



4. Описание входов/выходов

Таблица 1 — Описание входов/выходов СФ-блока

Именованние сигнала	Направление	Описание	Примечание
s_awid[7:0]	вх	Идентификатор адреса записи	Не является обязательными сигналами AXI4-Lite, но необходимы при подключении СФ-блока к интерфейсу AXI4
s_awaddr[31:0]	вх	Адрес записи	
s_awvalid	вх	Строб адреса записи, показывающий момент валидности адреса записи на шине	
s_awready	вых	Готовность ведомого устройства на шине принять адрес записи	
s_wdata[31:0]	вх	Данные записи	
s_wstrb[3:0]	вх	Стробы данных записи. Показывают над какими байтами шины данных необходимо выполнять операцию записи	
s_wvalid	вх	Строб данных записи, показывающий момент валидности данных записи на шине	
s_wready	вых	Готовность ведомого устройства на шине принять данные записи	
s_bid[7:0]	вых	Идентификатор подтверждения записи	Не является обязательными сигналами AXI4-Lite, но необходимы при подключении СФ-блока к интерфейсу AXI4

s_bresp[1:0]	вых	Статус транзакции записи	
s_bvalid	вых	Строб статуса транзакции записи	
s_bready	вх	Готовность ведущего устройства на шине принять данные статуса записи	
s_arid[7:0]	вх	Идентификатор адреса чтения	Не является обязательными сигналами AXI4-Lite, но необходимы при подключении СФ-блока к интерфейсу AXI4
s_araddr[31:0]	вх	Адрес чтения	
s_arvalid	вх	Строб адреса чтения, показывающий момент валидности адреса чтения на шине	
s_arready	вых	Готовность ведомого устройства на шине принять адрес чтения	
s_rid[7:0]	вых	Идентификатор чтения	Не является обязательными сигналами AXI4-Lite, но необходимы при подключении СФ-блока к интерфейсу AXI4
s_rdata[31:0]	вых	Данные чтения	
s_rresp[1:0]	вых	Статус транзакции чтения	
s_rvalid	вых	Стробы данных чтения	
s_rready	вх	Готовность ведомого устройства принять данные чтения	
int_timer[x:x]	вых	Запросы прерываний от таймеров	Количество определяется пользователем на этапе синтеза
int_counter[x:x]	вых	Запросы прерываний от счетчиков	Количество определяется пользователем на этапе синтеза
int_wdt	вых	Запрос прерываний от WDT	
inta_timer[x:x]	вх	Подтверждения прерываний от таймеров	Количество определяется пользователем на этапе синтеза
inta_counter[x:x]	вх	Подтверждения прерываний от счетчиков	Количество определяется пользователем на этапе синтеза
inta_wdt	вх	Подтверждение прерывания от WDT	
PWM[x:x]	вых	PWM выходы блоков Timer	Количество определяется пользователем на этапе синтеза
wdt_reset	вых	Сигнал сброса по WDT	Активный уровень «1»
clk	вх	Синхросигнал шины AXI	
rst_n	вх	Сигнал начальной инициализации	Активный уровень «0»

5. Карта регистров

Таблица 2 — Карта регистров СФ-блока Timer_Counter_WDT

Смещение	Имя регистра	Режим	Разрядность	Описание	Значение по-умолчанию
0x[n]000	rg_div_timer	Зп/Чт	16	Коэффициент деления clk для формирования тактов работы	0x0000

				таймеров	
0x[n]004	rg_per_timer	Зп/Чт	32	Период работы таймера	0x0000
0x[n]008	rg_ctr_timer	Зп/Чт	16	Регистр управления таймером	0x0000
0xn[0]0C	rg_pwm_len	Зп/Чт	16	Длительность импульса в тактах работы таймера	0x0000
0x[n]010	rg_pwm_step	Зп/Чт	16	Автоматический шаг изменения длительности импульса в тактах работы таймера.	0x0000
0x[k]100	rg_val_counter	Чт	32	Значение счетчика	
0x[k]104	rg_rst_counter	Зп/Чт	32	Значение, по достижению которого счетчик сбрасывается	
0x0108	rg_ctr_counter	Зп/Чт	8	Регистр управления счетчиком	
0x0200	rg_rst_wdt	Зп/Чт	32	Значение, по достижению которого WDT формирует сигнал сброса	
0x0204	rg_prst_wdt	Зп/Чт	32	Значение, по достижению которого WDT формирует запрос прерывания для CPU для предупреждения	
0x0208	rg_ctr_wdt	Зп/Чт	32	Регистр управления WDT	

[n] — определяется как номер блока Timer - 1

[k] — определяется как номер блока Counter - 1

Описание бит регистров управления:

rg_ctr_timer

№ бита	Наименование	Описание
0	Enable_timer	Разрешение работы таймера
1	Cycmode_timer	Разрешение работы циклического режима
2	Int_mask_timer	Разрешение формирования сигнала запроса прерывания
3	Enable_pwm	Разрешение работы PWM генератора
4	Periodic_pwm	Периодический режим PWM
5	Triangular_pwm	Формирование треугольного сигнала
6	Sawtooth_pwm	Формирование пилообразного сигнала

rg_ctr_counter

№ бита	Наименование	Описание
0	Enable_counter	Разрешение работы счетчика
1	Int_mask_counter	Разрешение формирования сигнала запроса прерывания

rg_ctr_wdt

№ бита		Описание
0	Enable_wdt	Разрешение работы wdt
1	Int_mask_wdt	Разрешение формирования сигнала запроса прерывания

6. Описание функционирования

СФ-блок Timer_Counter_WDT является ведомым устройством на шине AXI4-Lite. Каждое из устройств Timer_n, Counter_k, WDT являются независимыми с собственным набором параметров и настроек, каждый из этих блоков формирует отдельный сигнал запроса прерывания. SFR всех блоков доступны через общий контроллер AXI4-lite интерфейса.

Принцип работы общий для всех блоков: сначала выполняется запись необходимых параметров, установка режимов работы, затем выполняется установка бита разрешения работы блока.

Timer_n имеет блок предварительного деления системной частоты, соответственно все временные параметры при пересчете в значения настроек должны учитывать коэффициент деления. Значение самого таймера для чтения не доступно, результатом работы являются сигналы запросов прерываний.

Counter_k работают на системной частоте. Значение счетчика доступно для чтения в любой момент времени.

WDT — WatchDogTimer (сторожевой таймер) предназначен для исключения ситуаций зависания по тем или иным причинам, связанным с программным или аппаратным обеспечением. Особенностью реализации WDT является наличие формируемого сигнала INT_WDT в результате достижения значения Prst — pre reset. Его можно устанавливать за некоторое время до срабатывания WDT и формирования системного сброса для оповещения CPU о сложившейся ситуации для возможного выполнения каких-либо дополнительных действий. Также функция может быть использована программистом для иных целей.

7. Система тактирования

Весь СФ-блок функционирует с использованием внешнего системного сигнала синхронизации CLK.

8. Верификация

Блок-диаграмма тестового окружения

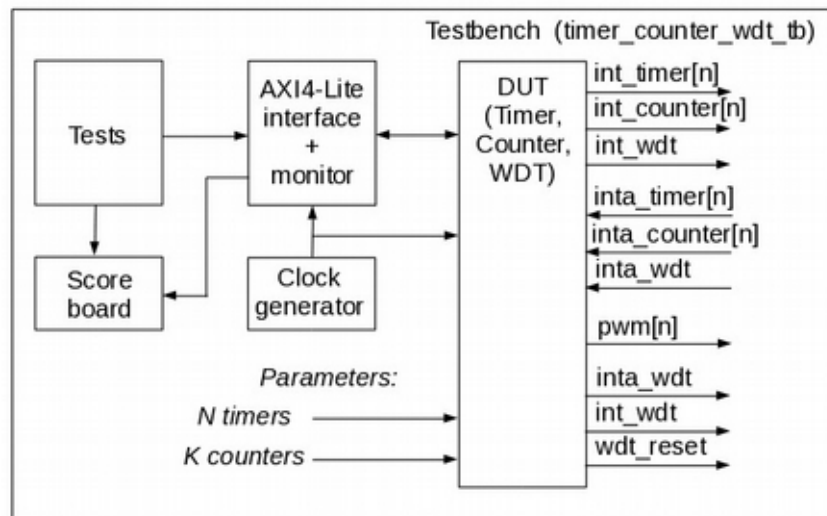


Рисунок 2 — Блок-диаграмма тестового окружения

Реализованные тесты:

Timer:

1. Чтение регистров Timer'a
2. Проверка формирования сигнала запроса прерывания `int_timer` и снятие его сигналом подтверждения прерывания от `cpu`.
3. Проверка циклического режима

Counter:

1. Чтение регистров Counter'a
2. Чтение значения Counter'a
3. Проверка формирования сигнала запроса прерывания `int_counter` и снятие его сигналом подтверждения прерывания от `cpu`.

WDT:

1. Проверка формирования сигнала запроса прерывания `int_wdt` и снятие его сигналом подтверждения прерывания от `cpu`.
2. Проверка формирования сигнала сброса `wdt_reset`

Пример отчета:

```
run all
Test : TIMER (timer div is: 00000003)
Test : TIMER (timer per is: 00000013)
Test : TIMER (timer ctrl is: 00000007)
Test 1 : TIMER (Set interrupt TIMER) completed successfully!
Test 1 : TIMER (Reset interrupt TIMER) completed successfully!
Test 2 : TIMER (Set interrupt TIMER) completed successfully!
Test 2 : TIMER (Reset interrupt TIMER) completed successfully!
```

Test 3 : TIMER (Set interrupt TIMER) completed successfully!
Test 3 : TIMER (Reset interrupt TIMER) completed successfully!
Test 5 : COUNTER (counter value is: 00000002)
Test 5 : COUNTER (counter value is: 00000005)
Test 5 : COUNTER (counter value is: 00000008)
Test 5 : COUNTER (counter rst is: 0000c000)
Test 5 : COUNTER (counter ctrl is: 00000003)
Test 5 : COUNTER (Set interrupt COUNTER) completed successfully!
Test 5 : COUNTER (Reset interrupt COUNTER) completed successfully!
Test 5 : WDT (Set interrupt WDT) completed successfully!
Test 5 : WDT (Reset interrupt WDT) completed successfully!
Test 5 : WDT (WDT reset) completed successfully!

** All tests successfully complete **

\$stop called at time : 1806640 ns

ПРИЛОЖЕНИЯ: