

Общая информация

Контроллер блока EEPROM 2k x 38 (8 Кбайт данных пользователя) предназначен для подключения к системным шинам AMBA APB и AHB-Lite блока Hard IP EEPROM с объемом памяти для данных пользователя 8 Кбайт с архитектурой 2k x 38. 38-битная шина данных EEPROM включает 32 бита данных пользователя и 6 бит для коррекции и детекции одиночных ошибок (SECSSED, Single Error Correction, Single Error Detection).

Функциональные особенности

- Поддержка записи и чтения из EEPROM через интерфейс APB
- Поддержка чтения (включая исполнение программного кода) из EEPROM через интерфейс AHB-Lite
- Внутренняя схема коррекции и детекции одиночных ошибок (SECSSED)
- Возможность прямого доступа к битам коррекции на запись и на чтение
- Возможность подстройки длительности операций записи и чтения через внутренние регистры
- Возможность отправки запроса прерывания при обнаружении ошибки

Информация о СФ-блоке	
Тип СФ-блока	Soft IP
Статус	Проверен на ПЛИС-прототипе
Поддерживаемые техпроцессы	Только RTL-код, поддерживается любой техпроцесс
Поддерживаемые интерфейсы	AMBA AXI4 AMBA APB
Результат логического синтеза	
Количество эквивалентных вентилях	2351
Файлы, сопровождающие СФ-блок	
Документация	Спецификация
Файлы проекта	Исходное описание на языке SystemVerilog
Пример проекта	Нет
Тестовый модуль	Нет
Файл ограничений	Нет
Модель	Не требуется
Программное обеспечение, работающее с СФ-блоком	
Моделирование	Любой инструмент для моделирования verilog (например, Cadence Incisive Enterprise Simulator) с поддержкой UVM
Инструмент синтеза	Любой инструмент синтеза для verilog RTL (например, Cadence Genus Synthesis Solution, Cadence Innovus Implementation System)
Стоимость СФ-блока и технической поддержки	
По запросу	