

Общая информация

Базовый 16-битный таймер предназначен для использования в микроконтроллерах (МК) на базе процессорных ядер ARM и RISC-V. Для подключения к системной шине МК блок имеет интерфейс AMBA APB.

Функциональные особенности

- Разрядность основного счетчика – 16 бит;
- Программируемый делитель тактового сигнала с разрядностью 16 бит, который может использоваться для деления тактового сигнала на любое значение от 1 до 65536;
- Возможность формирования DMA-запросов для инициирования периодических действий МК с регистрами/памятью;
- Возможность отправки запроса прерывания при завершении счета;
- Возможность формирования выходного сигнала для управления другими устройствами.

Информация о СФ-блоке	
Тип СФ-блока	Soft IP
Статус	Выполнена функциональная верификация блока
Поддерживаемые техпроцессы	Только RTL-код, поддерживается любой техпроцесс
Поддерживаемые интерфейсы	AMBA APB
Результат логического синтеза	
Количество эквивалентных вентилях	922
Файлы, сопровождающие СФ-блок	
Документация	Спецификация
Файлы проекта	Исходное описание на языке SystemVerilog
Пример проекта	Нет
Тестовый модуль	Нет
Файл ограничений	Нет
Модель	Не требуется
Программное обеспечение, работающее с СФ-блоком	
Моделирование	Любой инструмент для моделирования verilog (например, Cadence Incisive Enterprise Simulator) с поддержкой UVM
Инструмент синтеза	Любой инструмент синтеза для verilog RTL (например, Cadence Genus Synthesis Solution, Cadence Innovus Implementation System)
Стоимость СФ-блока и технической поддержки	
По запросу	