

Общая информация

Контроллер блока antifuse OTP 512 бит предназначен для подключения к системной шине AMBA APB блока Hard IP OTP с объемом памяти для данных пользователя 512 бит с архитектурой 16 x 32. Поддержка интерфейса AMBA APB позволяет быстро подключать блок antifuse OTP к системной шине микроконтроллера на базе процессорного ядра ARM или RISC-V и осуществлять операции записи и стирания через регистры управления и статуса. Дополнительно блок поддерживает автоматическое считывание содержимого antifuse OTP после сброса блока для подстройки аналоговых блоков во время инициализации системы.

Функциональные особенности

- Поддержка записи и чтения из antifuse OTP через интерфейс APB;
- Возможность доступа к тестовому столбцу и тестовой строке для производственного тестирования antifuse OTP;
- Возможность задания количества тактов для операций записи и чтения через регистры управления;
- Возможность ручного формирования входных сигналов Hard IP;
- Опциональная возможность автоматического считывания содержимого antifuse OTP сразу после сброса для подстройки аналоговых блоков при инициализации системы.

Информация о СФ-блоке	
Тип СФ-блока	Soft IP
Статус	Выполнена функциональная верификация блока
Поддерживаемые техпроцессы	Только RTL-код, поддерживается любой техпроцесс
Поддерживаемые интерфейсы	AMBA APB
Результат логического синтеза	
Количество эквивалентных вентилях	1427
Файлы, сопровождающие СФ-блок	
Документация	Спецификация
Файлы проекта	Исходное описание на языке SystemVerilog
Пример проекта	Нет
Тестовый модуль	Нет
Файл ограничений	Нет
Модель	Не требуется
Программное обеспечение, работающее с СФ-блоком	
Моделирование	Любой инструмент для моделирования verilog (например, Cadence Incisive Enterprise Simulator) с поддержкой UVM
Инструмент синтеза	Любой инструмент синтеза для verilog RTL (например, Cadence Genus Synthesis Solution, Cadence Innovus Implementation System)
Стоимость СФ-блока и технической поддержки	
По запросу	