

Общая информация

Мост для доступа к ОЗУ/ПЗУ через системную шину AXI4 позволяет получать доступ к блокам ОЗУ/ПЗУ с типовыми интерфейсами на базе сигналов CE/WE/CLK в микроконтроллерах с интерфейсом системной шины AXI4 (например, ARM или RISC-V).

Функциональные особенности

- Настраиваемая разрядность шины адреса памяти
- Настраиваемая разрядность шины данных памяти и AXI4 (должны совпадать одна с другой)
- Поддержка коррекции одиночных ошибок и детекции двойных ошибок в памяти (SECEDED)
- Поддержка последовательности read-modify-write для использования совместно с SECEDED или для блоков памяти без byte enable.
- Поддержка всех типов burst (INCR, FIXED, WRAP).

Информация о СФ-блоке	
Тип СФ-блока	Soft IP
Статус	Выполнена функциональная верификация блока
Поддерживаемые техпроцессы	Только RTL-код, поддерживается любой техпроцесс
Поддерживаемые интерфейсы	AMBA AXI4
Результат логического синтеза	
Количество эквивалентных вентилей	1758 (при разрядности шины данных 32 и шины адреса 11)
Файлы, сопровождающие СФ-блок	
Документация	Спецификация
Файлы проекта	Исходное описание на языке SystemVerilog
Пример проекта	Нет
Тестовый модуль	Нет
Файл ограничений	Нет
Модель	Не требуется
Программное обеспечение, работающее с СФ-блоком	
Моделирование	Любой инструмент для моделирования verilog (например, Cadence Incisive Enterprise Simulator) с поддержкой UVM
Инструмент синтеза	Любой инструмент синтеза для verilog RTL (например, Cadence Genus Synthesis Solution, Cadence Innovus Implementation System)
Стоимость СФ-блока и технической поддержки	
По запросу	