

Общая информация

Многофункциональный многоканальный с функциями захвата/сравнения значений (IC/OC) предназначен для использования в микроконтроллерах (МК) на базе процессорных ядер ARM и RISC-V. Для подключения к системной шине МК блок имеет интерфейс AMBA APB.

Функциональные особенности

- Разрядность основного счетчика – 16 или 32 бита (конфигурируется аппаратно);
- Количество каналов, подключаемых к выводам микросхемы, – 4;
- Счет с возрастанием/убыванием/чередованием направления счета;
- Внутренний программируемый 16-разрядный предделитель;
- Наличие внутри таймера двух доменов тактового сигнала для поддержки внешних сигналов синхронизации;
- Генерация ШИМ-сигнала (PWM);
- Выдача одиночных импульсов;
- Формирование запросов прерывания и DMA-запросов;
- Триггерные входы и триггерный выход для каскадирования таймеров;
- Функция захвата значения таймера по событию входного сигнала (Input Capture, IC);
- Функция формирования выходного сигнала по результату сравнения значений внутри таймера (Output Compare, OC);
- Поддержка инкрементного (квадратурного) датчика и схемы датчика Холла для целей позиционирования.

Информация о СФ-блоке	
Тип СФ-блока	Soft IP
Статус	Выполнена функциональная верификация блока
Поддерживаемые техпроцессы	Только RTL-код, поддерживается любой техпроцесс
Поддерживаемые интерфейсы	AMBA APB
Результат логического синтеза	
Количество эквивалентных вентиляей	10398
Файлы, сопровождающие СФ-блок	
Документация	Спецификация
Файлы проекта	Исходное описание на языке SystemVerilog
Пример проекта	Нет
Тестовый модуль	Нет
Файл ограничений	Нет
Модель	Не требуется
Программное обеспечение, работающее с СФ-блоком	
Моделирование	Любой инструмент для моделирования verilog (например, Cadence Incisive Enterprise Simulator) с поддержкой UVM
Инструмент синтеза	Любой инструмент синтеза для verilog RTL (например, Cadence Genus Synthesis Solution, Cadence Innovus Implementation System)
Стоимость СФ-блока и технической поддержки	
По запросу	